

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)

HASEGAWA)

Application Number: To Be Assigned)

Filed: Concurrently Herewith)

For: ACTIVE MATRIX DISPLAY DEVICE)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

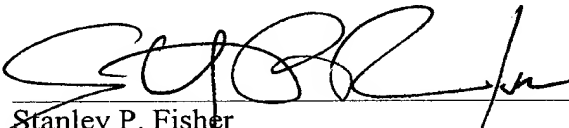
NOTICE OF PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of August 9, 2000, the filing date of the corresponding Japanese patent application 2000-241472.

The certified copy of corresponding Japanese patent application 2000-241472 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested.

Respectfully submitted,


Stanley P. Fisher

Registration Number 24,344

REED SMITH HAZEL & THOMAS LLP

3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200

August 2, 2001

JUAN CARLOS A. MARQUEZ
Registration No. 24,672





日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 8月 9日

出 願 番 号

Application Number:

特願2000-241472

出 願 人

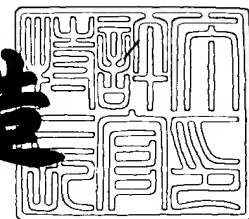
Applicant (s):

株式会社日立製作所

2001年 3月23日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3021697

【書類名】 特許願

【整理番号】 330000286

【提出日】 平成12年 8月 9日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

 【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所
 ディスプレイグループ内

 【氏名】 長谷川 篤

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100083552

 【弁理士】

 【氏名又は名称】 秋田 収喜

 【電話番号】 03-3893-6221

【手数料の表示】

 【予納台帳番号】 014579

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の面の画素領域に、

ゲート信号線からの走査信号の供給によって駆動される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極が形成され、

前記薄膜トランジスタのゲート電極は、ゲート信号線と異なる材料で形成されているとともに、その一部が該ゲート信号線に直接重ね合わされていることにより電氣的に接続されていることを特徴とする液晶表示装置。

【請求項 2】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、第 1 の薄膜トランジスタを備える画素領域の集合からなる表示領域と、この表示領域の外側に第 2 の薄膜トランジスタを備える駆動回路形成領域とを有し、

前記第 1 の薄膜トランジスタのゲート電極は、ゲート信号線と異なる材料で形成されているとともに、その一部が該ゲート信号線に直接重ね合わされていることにより電氣的に接続され、

前記第 2 の薄膜トランジスタのゲート電極は、それに接続される配線層又は電極と異なる材料で形成されているとともに、その一部が前記配線層又は電極に直接重ね合わされていることにより電氣的に接続されており、

前記第 1 薄膜トランジスタおよび第 2 薄膜トランジスタのそれぞれのゲート電極は同一の材料で構成されているとともに、

前記ゲート信号線および前記配線層又は電極はそれぞれ同一の材料で構成されていることを特徴とする液晶表示装置。

【請求項 3】 ゲート信号線はアルミニウムで形成されていることを特徴とする請求項 1、2 のうちいずれかに記載の液晶表示装置。

【請求項 4】 薄膜トランジスタの半導体層はポリシリコンで形成されていることを特徴とする請求項 1、2 のうちいずれかに記載の液晶表示装置。

【請求項 5】 薄膜トランジスタの半導体層のドレイン領域およびソース領域に金属層が形成され、該薄膜トランジスタを被う保護膜に形成されるコンタクトホールは前記金属層の一部を露出させるようにして形成されていることを特徴とする請求項 1 ないし 4 のうちいずれかに記載の液晶表示装置。

【請求項 6】 金属層は薄膜トランジスタのゲート電極の形成と同時に形成されることを特徴とする請求項 5 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に関する。

【0002】

【従来の技術】

液晶表示装置は、液晶を介して互いに対向配置される各基板を外囲器とし、該液晶の広がり方向に多数の画素が配置された領域を表示領域としている。

【0003】

そして、アクティブ・マトリックス型と称されるものは、x 方向に延在され y 方向に並設されるゲート信号線、y 方向に延在され x 方向に並設されるドレイン信号線とで囲まれた領域を画素領域とし、この画素領域に片側のゲート信号線からの走査信号の供給によって駆動する薄膜トランジスタと、この薄膜トランジスタを介して片側のドレイン信号線からの映像信号が供給される画素電極とを備え、これらはいずれも成膜技術で形成されるようになっている。

【0004】

また、前記薄膜トランジスタが形成されている側の基板であって、その表示領域以外の領域において、前記ゲート信号線に走査信号を供給するゲート信号線駆動回路、および前記ドレイン信号線に映像信号を供給するドレイン信号線駆動回路を成膜技術で形成するものが知られている。

【0005】

これらゲート信号線駆動回路およびドレイン信号線駆動回路は、前記薄膜トランジスタと同様な構成からなる薄膜トランジスタで形成される多数のインバータ

で構成されるため、前記各駆動回路と画素の形成は並行してなされるのが通常となっている。

【0006】

【発明が解決しようとする課題】

しかしながら、このような液晶表示装置において、ゲート信号線駆動回路およびドレイン信号線駆動回路はそれに占める面積が比較的大きくなってしまいう結果、表示領域の枠と透明基板の枠との間の幅（いわゆる額縁と称されている）が大きく形成されてしまうことが指摘されていた。

【0007】

本発明は、このような事情に基づいてなされたもので、その目的はゲート信号線駆動回路あるいはドレイン信号線駆動回路の集積度を向上させた液晶表示装置を提供することにある。

【0008】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

すなわち、本発明による液晶表示装置は、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、第1の薄膜トランジスタを備える画素領域の集合からなる表示領域と、この表示領域の外側に第2の薄膜トランジスタを備える駆動回路形成領域とを有し、

前記第1の薄膜トランジスタのゲート電極は、ゲート信号線と異なる材料で形成されているとともに、その一部が該ゲート信号線に直接重ね合わされていることにより電氣的に接続され、

前記第2の薄膜トランジスタのゲート電極は、それに接続される配線層又は電極と異なる材料で形成されているとともに、その一部が前記配線層又は電極に直接重ね合わされていることにより電氣的に接続されており、

前記第1薄膜トランジスタおよび第2薄膜トランジスタのそれぞれのゲート電極は同一の材料で構成されているとともに、

前記ゲート信号線および前記配線層又は電極はそれぞれ同一の材料で構成され

ていることを特徴とするものである。

【 0 0 0 9 】

このように構成された液晶表示装置は、駆動回路形成領域に形成される第 2 薄膜トランジスタはそのゲート電極がコンタクトホールを介することなく直接重ね合わされる他の配線層または電極と接続されている。

【 0 0 1 0 】

このためコンタクトホールの形成に要するスペースを大きく確保する必要がなくなり、前記駆動回路形成領域を小さくすることができるようになる。

【 0 0 1 1 】

また、このような構成とすることに基づき、画素領域における第 1 薄膜トランジスタを第 2 薄膜トランジスタと同様な構成とする（それらのゲート電極の材料を同一とする）ことにより、それらのしきい値を同一とすることができる。

【 0 0 1 2 】

【発明の実施の形態】

以下、本発明による液晶表示装置の実施例を図面を用いて説明する。

実施例 1.

《全体構成》

図 2 は、本発明による液晶表示装置の一実施例を示す等価回路図である。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。

【 0 0 1 3 】

同図において透明基板 SUB 1 がある。この透明基板 SUB 1 は液晶を介して他の透明基板（図示せず）と対向配置されるようになっている。

【 0 0 1 4 】

この透明基板 SUB 1 の液晶側の面の周辺を除く中央部には、図中 x 方向に延在し y 方向に並設されるゲート信号線 GL、および y 方向に延在し x 方向に並設されるドレイン信号線 DL が形成され、これら各信号線で囲まれた領域によって画素領域が形成されている。

【 0 0 1 5 】

この画素領域はマトリックス状に複数配置されて表示領域 1 3 を構成するよう

になっている。

【0016】

そして、ゲート信号線GLとこれに隣接する他のゲート信号線GLとの間にはx方向に延在する保持容量電極配線CLが延在して形成され、この保持容量電極配線CLは各画素領域において後述する容量素子Caddの一方の容量保持電極CTを構成するようになっている。

【0017】

各画素領域には、一方（図中上側）のゲート信号線GLからの走査信号の供給によって駆動される薄膜トランジスタTFTと、この薄膜トランジスタTFTを介して一方（図中左側）のドレイン信号線からの映像信号が供給される透明の画素電極PIXとを備え、また、この画素電極PIXと前記保持容量電極配線CLとの間には保持容量素子Caddが形成されている。

【0018】

前記各ゲート信号線GLは、その両端（図中左および右側）において、透明基板SUB1上に形成されたゲート信号線駆動回路15に接続され、このゲート信号線駆動回路15から出力される走査信号が順次供給されるようになっている。

【0019】

なお、このゲート信号線駆動回路15はコンプリメンタリMOS（C-MOS）からなる多数のインバータから構成され、その形成は画素領域における成膜技術と並行してなされるようになっている。

【0020】

また、前記各ドレイン信号線DLは、その一端（図中下側）において、透明基板SUB1に形成されたドレイン信号線駆動回路14に接続され、前記走査信号の供給のタイミングに合わせて映像信号が供給されるようになっている。

【0021】

なお、このドレイン信号線駆動回路14もコンプリメンタリMOS（C-MOS）からなる多数のインバータから構成され、その形成は画素領域における成膜技術と並行してなされるようになっている。

【0022】

さらに、前記保持容量電極配線CLは、その一端（図中左側）において、端子Vcomに接続されるようになっている。

【0023】

この端子Vcomは、透明基板SUB1の周辺に形成された入力端子18、19、100と並設されて形成され、透明基板SUB1と対向配置される他の透明基板の液晶側の面にて各画素領域に共通な透明の対向電極（図示せず）と同じ電位に保持されるようになっている。

【0024】

なお、図中において、符号16はドレイン信号線DLへの映像信号を充電するプリチャージ回路、符号17はレベルシフト回路であり、入力端子19、100からのデジタル信号（コントロール信号）をゲート信号線駆動回路15およびドレイン信号線駆動回路14を動かすのに十分な電圧にするようになっている。

【0025】

このような回路が形成された透明基板SUB1に液晶を介して対向配置される他の透明基板（図示せず）は、少なくとも表示領域13を被うようにして配置され、その周辺には一方の基板に対する他方の基板の固着および液晶の封止を兼ねるシール材（図示せず）が形成されている。

【0026】

そして、この他の透明基板の液晶側の面には、各画素領域に共通の透明な対向電極が形成され、この電極と透明基板SUB1側の画素電極PIXとの間で液晶を挙動させる電界を発生せしめるようになっている。

【0027】

《画素領域の構成》

図1(a)は、前記画素領域の構成の一実施例を示す平面図である。同図(a)はx方向へ並設される2つの画素を示している。また、同図(a)のb-b線における断面図を同図(b)に示している。

【0028】

まず、透明基板SUB1の液晶側の画素領域面に半導体層ASが形成されている。この半導体層ASは薄膜トランジスタTFTの半導体層となるもので、たと

えばポリシリコンからなっている。

【0029】

この半導体層ASは画素領域の上下において他の画素領域と画するゲート信号線GLのうち上方のゲート信号線に近接しかつ平行に形成されている。

【0030】

そして、半導体層ASが形成された透明基板SUB1の表面の全域には該半導体層ASをも被ったたとえば SiO_2 からなる絶縁膜GIが形成されている。この絶縁膜GIは前記薄膜トランジスタTFTのゲート酸化膜として機能するようになっている。

【0031】

この絶縁膜GIの表面には、たとえばTiWからなる前記薄膜トランジスタTFTのゲート電極GTが形成されている。このゲート電極GTは前記半導体層ASのほぼ中央を横切るように形成され、その一端は後述するゲート信号線GLと重畳しえる領域にまで延在されている。

【0032】

なお、前記半導体層ASは、その形成時において真性(intrinsic:導電型決定不純物がドーピングされていない)のものとなっているが、前記ゲート電極GTの形成後において該ゲート電極GTをマスクとして導電型決定不純物をドーピングすることによって、該ゲート電極GTを間にしその両脇における半導体層ASを導電化させ、この部分においてソース領域およびドレイン領域が形成されるようになっている。

【0033】

そして、絶縁膜GIの表面にはたとえばAlからなるゲート信号線GLがx方向に延在しy方向に並設されるようにして形成されている。この場合のゲート信号線GLはその一部において前記ゲート電極GTと重畳されるようにして形成され、これにより該ゲート電極GTとゲート信号線GLとの電気的な接続が図れるようになっている。

【0034】

ここで、前記ゲート電極GTはゲート信号線GLと一体化させて形成し、ゲー

ト信号線GLと同一の材料からなるAlで形成することが考えられる。しかし、この実施例では、ゲート電極GTとゲート信号線GLとを別な材料で構成するようにしている。

【0035】

これは、画素領域における薄膜トランジスタTFTのしきい値電圧 (V_{th}) をこの薄膜トランジスタTFTと並行して形成されるドレイン信号線駆動回路14およびゲート信号線駆動回路15を構成するインバータの薄膜トランジスタのしきい値電圧 (V_{th}) と同じにするためである。

【0036】

また、前記ゲート信号線GLの形成と同時にそれら信号線の間には保持容量電極配線CLがAlで形成されている。この保持容量電極配線CLは後述する画素電極PIXとの間に容量を形成するようになっている。

【0037】

なお、ゲート信号線GL (ゲート電極GT) および保持容量電極配線CLが形成された後は、これらをマスクとして前記絶縁膜GIがエッチングされるようになっている。これにより、前記絶縁膜GIはゲート信号線GL (ゲート電極GT) および保持容量電極配線CLの直下に残存し、該ゲート電極GTの下を除いて半導体層ASの表面は露出されるようになる。

【0038】

また、この絶縁膜GIのエッチングは、ゲート電極GTの形成後ゲート信号線GLおよび保持容量電極配線CLの形成前で行うようにしてもよい。この場合絶縁膜GIは該ゲート電極GTの直下にのみ残存することになる。

【0039】

そして、このようにゲート信号線GLおよび保持容量電極配線CLが形成された絶縁膜GIの表面には、該各信号線および配線をも被ったたとえばSiNからなる保護膜PSVが形成されている。

【0040】

この保護膜PSVには前記薄膜トランジスタTFTのソース領域およびドレイン領域の各表面の一部を露出させるためのコンタクト孔CH(s)、CH(d)が

形成されている。

【0041】

ここで、薄膜トランジスタTFTのドレイン領域（後述するドレイン信号線DLと接続される側の領域をドレイン領域と称する）の表面の一部を露出させるためのコンタクト孔CH（d）は、該ドレイン信号線DLの形成領域部に形成され、これにより、ドレイン信号線DLの形成と同時にその信号線は薄膜トランジスタTFTのドレイン領域と電氣的に接続されるようになっている。

【0042】

また、前記保護膜PSVの表面にはITO（Indium-Tin-Oxide）からなる画素電極PIXが形成されている。

【0043】

この画素電極PIXは前記容量電極配線CLと重畳されて画素領域の大部分の領域に形成されている。これにより画素電極PIXと容量電極配線CLとの間には保護膜PSVを誘電体膜とする容量素子が形成されるようになっている。

【0044】

さらに、前記保護膜PSVの表面にはたとえばAlからなるドレイン信号線DLが、y方向に延在されx方向に並設されて形成され、この際に、薄膜トランジスタTFTのソース領域とコンタクト孔CH（d）を通して電氣的に接続されるようになっている。

【0045】

そして、このドレイン信号線DLの形成と同時に、一端が薄膜トランジスタTFTのソース領域とコンタクト孔CH（s）を通して接続され、他端が前記画素電極PIXと接続される導電層がAlで形成されるようになっている。

【0046】

なお、このように構成された透明基板SUB1の表面の表示領域13の全域には配向膜（図示せず）が形成され、この配向膜は液晶と直接に接触して該液晶の初期配向方向を決定するようになっている。

【0047】

《駆動回路のインバータ》

図3は、前記ドレイン信号線駆動回路14およびゲート信号線駆動回路15を構成するインバータの一実施例を示す平面図である。

【0048】

また、図5は該インバータの等価回路を示す図で、電源供給線V_{dd}とアース線GNDとの間に前段のコンプリメンタリMOS（C-MOS）の接続部を後段のコンプリメンタリMOS（C-MOS）のゲートに接続させてなり、入力部を前段のC-MOSのゲートとし、出力部を後段のC-MOSの接続部となっている。

【0049】

図3に示すように、透明基板SUB1の表面に、半導体層a s 1および半導体層a s 2が形成されている。

【0050】

半導体層a s 1は、それにp型薄膜トランジスタt f t 1とn型薄膜トランジスタt f t 2が形成されるようになっており、それらの境部において屈曲部を有するパターンとして形成されている。

【0051】

半導体層a s 2も半導体層a s 1と同様の形状をなし、それにp型薄膜トランジスタt f t 3とn型薄膜トランジスタt f t 4が形成されるようになっており、それらの境部において屈曲部を有するパターンとして形成されている。

【0052】

また、これら半導体層a s 1および半導体層a s 2は、画素領域における薄膜トランジスタTFTの半導体層ASと同一の工程で形成される。

【0053】

半導体層a s 1の表面にはp型薄膜トランジスタt f t 1の形成領域の中央部およびn型薄膜トランジスタt f t 2の形成領域の中央部を共に横切るようにしてそれぞれTiWからなるゲート電極GT1、GT2が形成されている。

【0054】

これらゲート電極GT1、GT2は、画素領域における薄膜トランジスタTFTのゲート電極GTと同一の工程で形成される。

【0055】

このゲート電極下の半導体層 $a s 1$ 、 $a s 2$ の表面には $S i O_2$ 膜からなるゲート酸化膜が形成され、それ以外の領域には該 $S i O_2$ 膜は形成されていないようになっている。画素領域における薄膜トランジスタ $T F T$ の形成の際と同様にゲート電極 $G T 1$ 、 $G T 2$ をマスクとしてそれから露出されている $S i O_2$ 膜をエッチングするからである。

【0056】

そして、ゲート電極 $G T 1$ ね $G T 2$ から露出されている半導体層 $a s 1$ 、 $a s 2$ に導電型不純物をドーピングすることによって各薄膜トランジスタ $t f t 1$ ないし $t f t 4$ のソース領域およびドレイン領域を形成する。

【0057】

この場合、半導体層 $a s 1$ に p 型薄膜トランジスタ $t f t 1$ と n 型薄膜トランジスタ $t f t 2$ を形成し、半導体層 $a s 2$ に p 型薄膜トランジスタ $t f t 3$ と n 型薄膜トランジスタ $t f t 4$ を形成することから、半導体層 $a s 1$ には p 型不純物領域と n 型領域が形成され、半導体層 $a s 2$ にも p 型不純物領域と n 型領域が形成される。

【0058】

そして、画素領域のゲート信号線 $G L$ の形成と同時に、該ゲート信号線 $G L$ の形成材料 ($A 1$) で、半導体層 $a s 1$ における薄膜トランジスタ $t f t 1$ と薄膜トランジスタ $t f t 2$ との接続を図る電極 $T 2$ 、半導体層 $a s 2$ における薄膜トランジスタ $t f t 3$ と薄膜トランジスタ $t f t 4$ との接続を図る電極 $T 3$ を形成する。

【0059】

この場合、電極 $T 2$ は半導体層 $a s 2$ 側に形成されたゲート電極 $G T 2$ と接続され、また、電極 $T 3$ はインバータの出力が導かれる他の配線（この実施例では $T i W$ で形成されている。）に接続される。

【0060】

なお、これら電極 $T 2$ 、 $T 3$ の形成と同時に、インバータの入力電極となる電極 $T 1$ が半導体層 $a s 1$ 側のゲート電極 $G T 1$ と接続されて形成される。

【0061】

そして、このように構成された透明基板SUB1の表面には、保護膜PSVが形成されている。この保護膜PSVは画素領域に形成される保護膜PSVと同一の工程で形成される。

【0062】

この保護膜PSVの表面にはインバータに電源を供給するための電源配線層Vddが画素領域におけるドレイン信号線DLの形成と同一の工程で形成される。

【0063】

この電源配線層Vddは、予め保護膜に形成されているコンタクトホールを通して薄膜トランジスタtft2、tft4のドレイン領域に接続されている。

【0064】

また、前記電源配線層Vddの形成と同時にインバータのグランドとなるアース配線層GNDが形成され、このアース配線層GNDは、予め保護膜PSVに形成されているコンタクトホールを通して薄膜トランジスタtft1、tft3のソース領域に接続されている。

【0065】

上述した駆動回路のインバータは、前記のC-MOSのゲートへの入力部、前段のC-MOSの接続部においてコンタクトホールの形成、および後段のC-MOSの出力部においてコンタクトホールの形成を行っていない構成となっている。このため、これら各部におけるスペースを大幅に低減させることができる。

【0066】

図6(a)は二つの配線層1、2をそれらの各端において直接に重ねて形成した導電層3によって互いに電氣的に接続させる場合の該接続部に要する占有面積(図では $6\mu\text{m} \times 4\mu\text{m}$)と、それに隣接する他の配線層4(あるいは電極)との関係を示したものである。

【0067】

また、図6(b)は二つの配線層2、3をそれらの各端においてコンタクトホールを通して互いに電氣的に接続させる場合の該接続部に要する占有面積(図では $14\mu\text{m} \times 7\mu\text{m}$)と、それに隣接する他の配線層(あるいは電極)との関係

を示したものである。

【 0 0 6 8 】

これらの図から明らかなように、後者の接続部の面積が $98\mu\text{m}$ であるのに対して、前者の接続部の面積を $24\mu\text{m}$ とすることができ、そのスペースを約 24% 程度に低減させることができるようになり、隣接させる配線層（あるいは電極）を近接させて配置させることができるようになる。

【 0 0 6 9 】

図 4 は、図 3 に対応する図で、従来の液晶表示装置のインバータの平面図である。この図 4 と比較して明らかとなるように、本実施例のインバータの構成によれば、その占有面積が大幅に小さくできることが判る。

【 0 0 7 0 】

実施例 2.

図 7 は、本発明による液晶表示装置の他の実施例を示す要部構成図で、その（a）は平面図を、（b）は（a）の b-b 線における断面図を示している。

同図は、画素領域に形成される薄膜トランジスタ T F T の部分を示したものである。

【 0 0 7 1 】

実施例 1 の場合と異なる構成は、ドレイン領域およびソース領域の半導体層 A S の表面にはゲート信号線 G L と同一の材料（この実施例の場合 A 1）からなる金属層 1 0 が直接に重ねて形成され、保護膜 P S V に形成されるコンタクトホールによって該金属層 1 0 の一部が露出していることにある。

【 0 0 7 2 】

このような構成とすることにより、保護膜 P S V にコンタクトホールを形成する場合にドライエッチング方法を適用することができ、これにより該コンタクトホールの径を小さくでき、ひいては画素の集積化を図ることができる。

【 0 0 7 3 】

すなわち、保護膜 P S V にウェットエッチングによってコンタクトホールを形成する場合、サイドエッチによって現像寸法より約 $2\sim 3\mu\text{m}$ 大きくなってしまいうことが知られている。

【 0 0 7 4 】

このため、サイドエッチの程度が少ないドライエッチングが好ましいが、ドライエッチングで保護膜 P S V にコンタクトホールを形成した場合、半導体層 A S の表面でエッチングが止まることなく該半導体層 A S を突き抜ける現象が生じる。半導体層 A S と保護膜 P S V とのエッチングの選択比が小さいことに基づく。

【 0 0 7 5 】

このため、上述したように該半導体層 A S の表面に金属層 1 0 を形成しておくことにより、半導体層 A S に損傷を与えることなくドライエッチング方法を採用できるようになる。

【 0 0 7 6 】

なお、このような構成は、ドレイン信号線駆動回路 1 4 およびゲート信号線駆動回路 1 5 を構成するインバータの薄膜トランジスタ t f t も同様に適用できることはいうまでもない。

【 0 0 7 7 】

図 3 に示す構成の場合、保護膜 P S V のコンタクトホールを通して V d d 電源を供給するための配線層およびグランドとなる配線層と接続される半導体層 A S の表面に金属層を形成することになる。

【 0 0 7 8 】

【発明の効果】

以上説明したことから明らかとなるように、本発明による液晶表示装置によれば、ゲート信号線駆動回路あるいはドレイン信号線駆動回路の集積度を向上させることができる。

【図面の簡単な説明】

【図 1】

本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図 2】

本発明による液晶表示装置の一実施例を示す等価回路図である。

【図 3】

本発明による液晶表示装置の駆動回路を構成するインバータの平面図である。

【図 4】

従来の液晶表示装置の駆動回路を構成するインバータの平面図である。

【図 5】

本発明による液晶表示装置の駆動回路を構成するインバータの等価回路図である。

【図 6】

本発明による効果を示す説明図である。

【図 7】

本発明による液晶表示装置の画素内の薄膜トランジスタの他の実施例を示す平面図である。

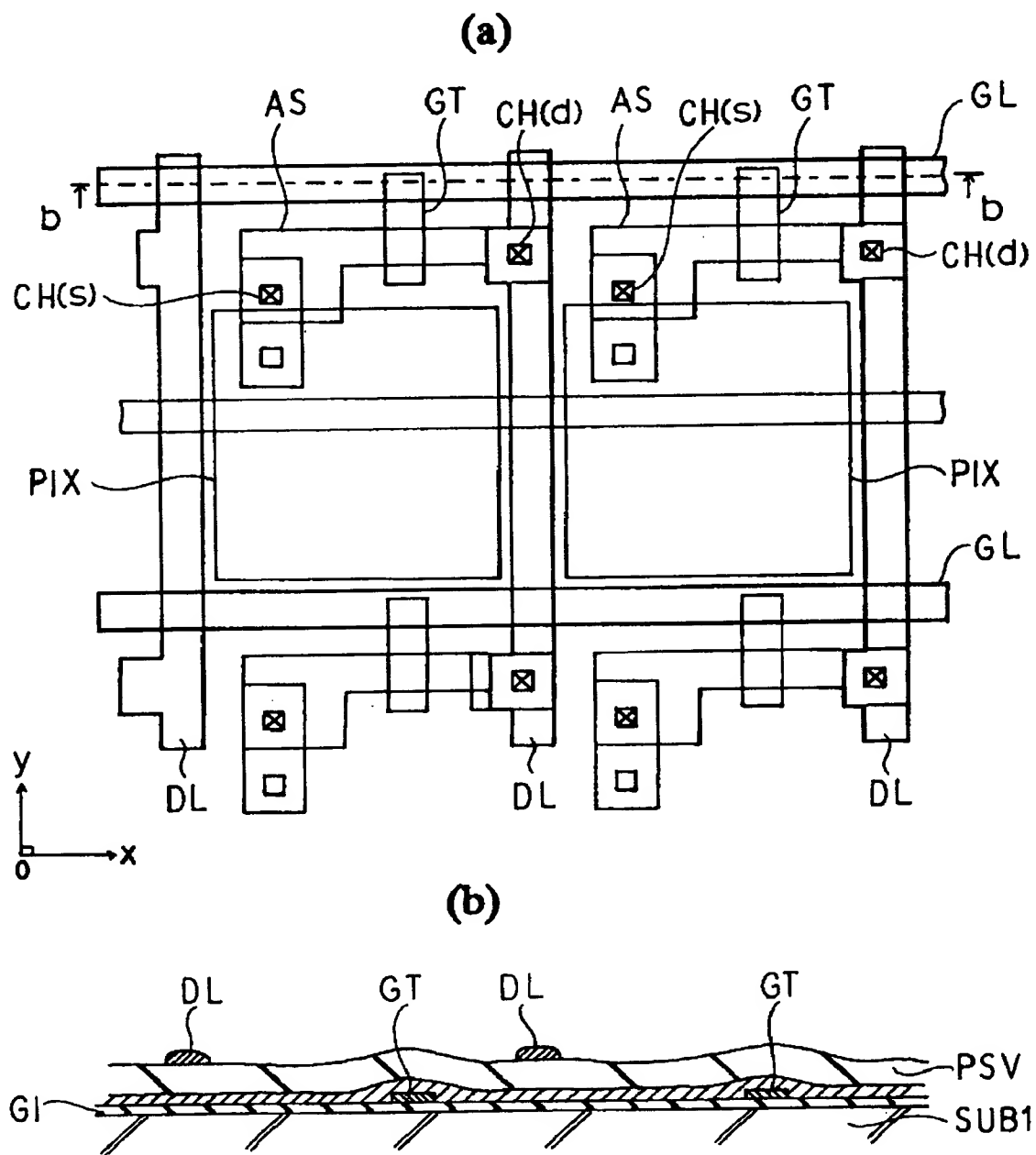
【符号の説明】

GL…ゲート信号線、DL…ドレイン信号線、TFT…薄膜トランジスタ、GT…ゲート電極、AS…半導体層、CH…コンタクトホール、10…金属層。

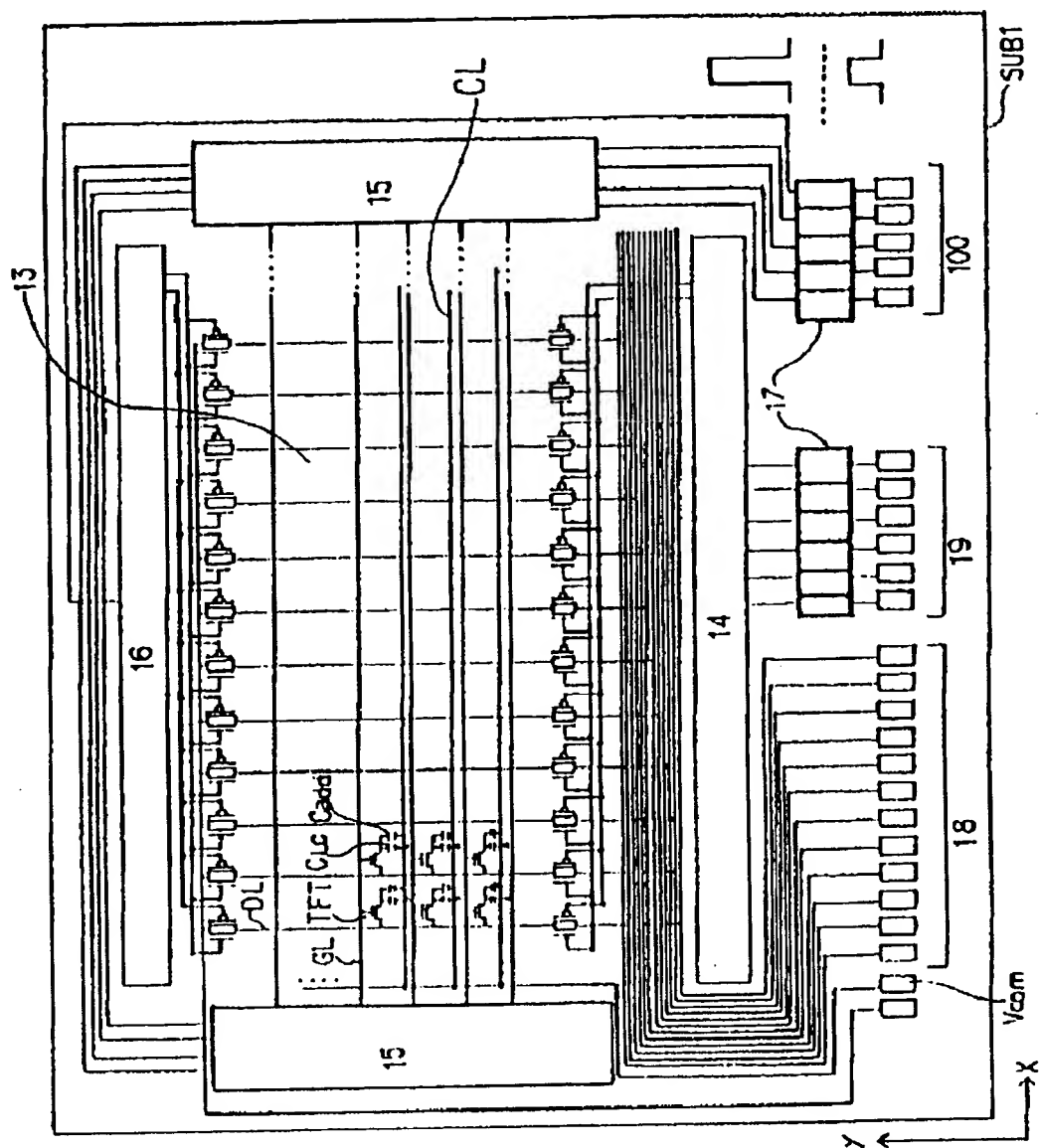
【書類名】 図面

【図1】

図 1

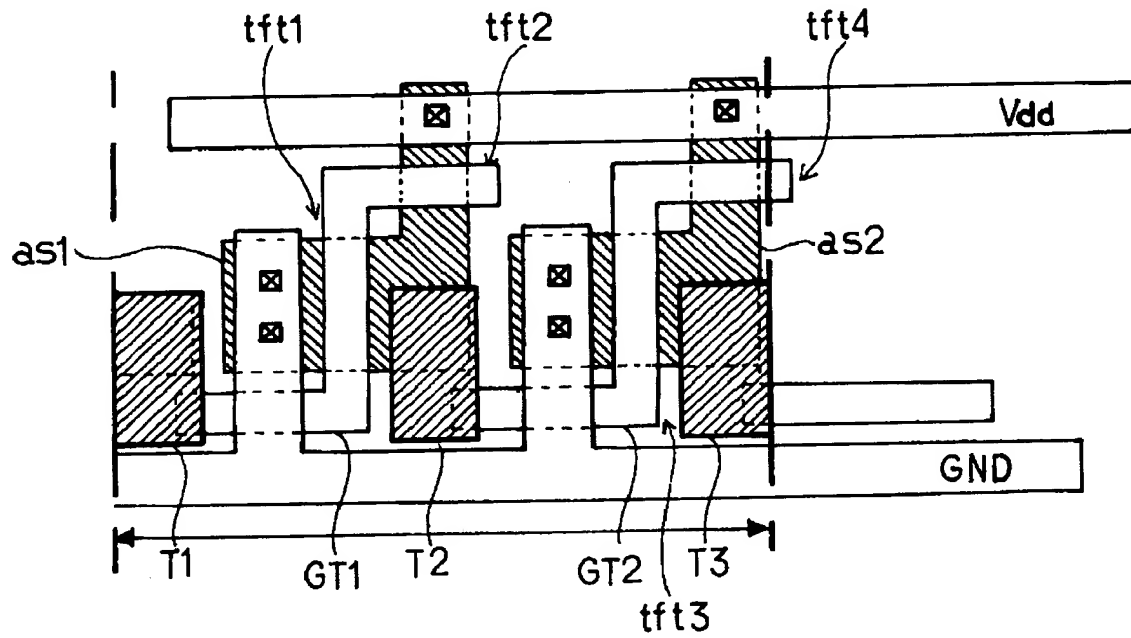


【図 2】



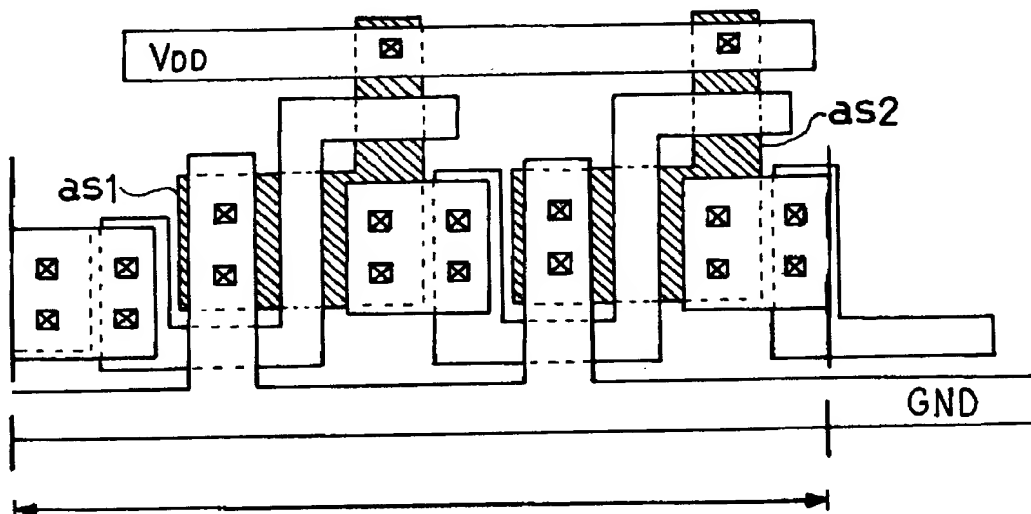
【図 3】

図 3



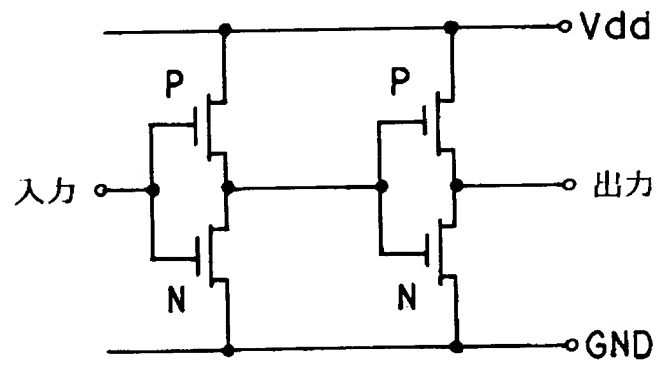
【図 4】

図 4



【図 5】

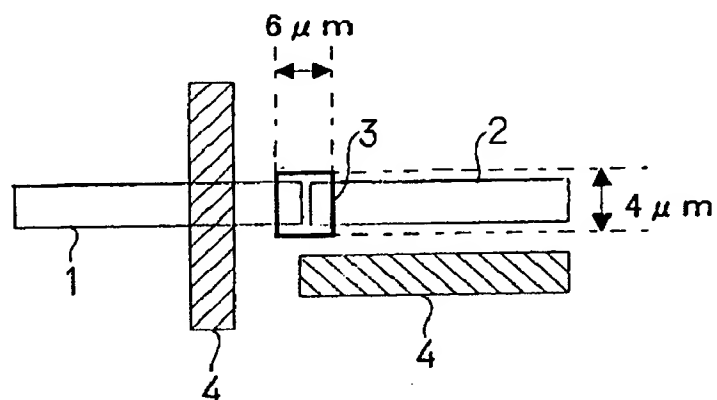
図 5



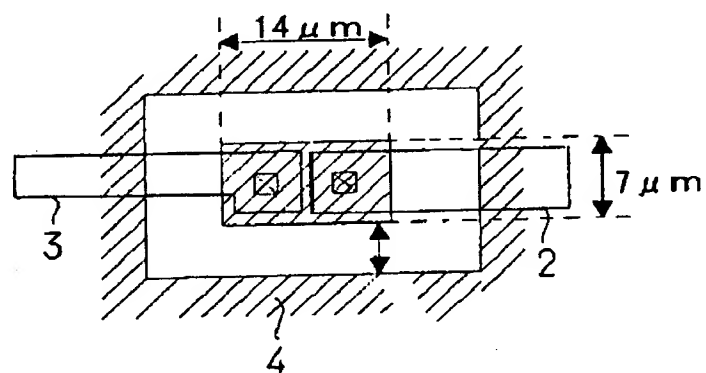
【図 6】

図 6

(a)



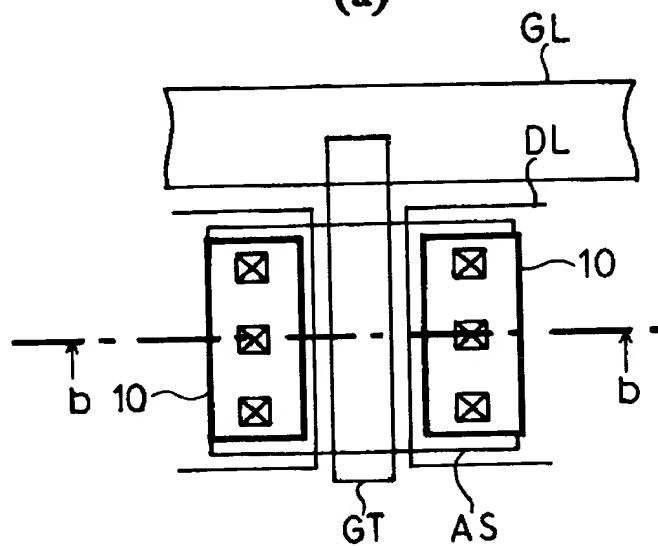
(b)



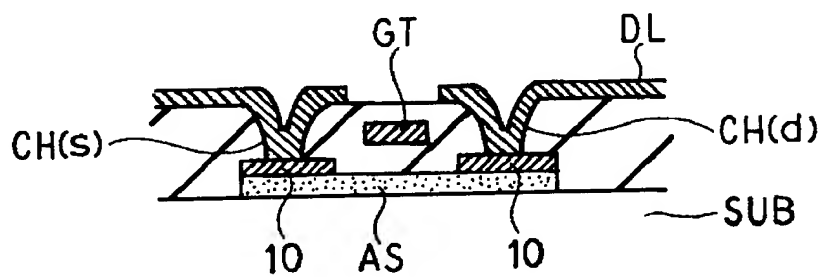
【図 7】

図 7

(a)



(b)



【書類名】 要約書

【要約】

【課題】 ゲート信号線駆動回路あるいはドレイン信号線駆動回路の集積度を向上させる。

【解決手段】 液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、第1の薄膜トランジスタを備える画素領域の集合からなる表示領域と、この表示領域の外側に第2の薄膜トランジスタを備える駆動回路形成領域とを有し、前記第1の薄膜トランジスタのゲート電極は、ゲート信号線と異なる材料で形成されているとともに、その一部が該ゲート信号線に直接重ね合わされていることにより電氣的に接続され、前記第2の薄膜トランジスタのゲート電極は、それに接続される配線層又は電極と異なる材料で形成されているとともに、その一部が前記配線層又は電極に直接重ね合わされていることにより電氣的に接続されており、前記第1薄膜トランジスタおよび第2薄膜トランジスタのそれぞれのゲート電極は同一の材料で構成されているとともに、前記ゲート信号線および前記配線層又は電極はそれぞれ同一の材料で構成されている。

【選択図】 図1

出 願 人 履 歷 情 報

識別番号 [000005108]

1. 変更年月日	1990年 8月31日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台4丁目6番地
氏 名	株式会社日立製作所